

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-055799

(43)Date of publication of application : 10.03.1988

(51)Int.Cl.

G11C 17/00

(21)Application number : 61-200415

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.08.1986

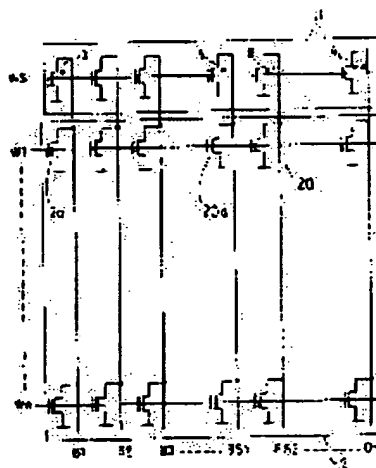
(72)Inventor : KOBAYASHI SHINICHI  
TOYAMA TAKESHI

## (54) SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To effectively allow device discrimination codes to work even when repairing is executed by writing the data of a device discrimination code in two or more column repair lines beforehand.

**CONSTITUTION:** A device discrimination code storage element 2a is connected to a transistor Tr 1 for the device discrimination code connected to the bit lines B1WBm of a memory cell array 2. A device discrimination code storage element for repair 20a in which the codes of the same content with the device discrimination code is provided in a redundant circuit 20. When the bit line B1 is defective, the circuit 20 is made to select a column repair line BS1 instead of the line B1 so far selected. As the data of the same device code with a Tr 3 are written in a Tr 5, the data of accurate device code are read out. In a case where the line Bm is defective, by selecting a column repair line BS2 similarly, an accurate maker code is read out since the data of the same maker code with a Tr 4 are written beforehand in a Tr 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 公開特許公報(A)

昭63-55799

⑫ Int. Cl.<sup>4</sup>  
G 11 C 17/00

識別記号  
3 0 9

庁内整理番号  
F-6549-5B

⑭ 公開 昭和63年(1988)3月10日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-200415

⑰ 出 願 昭61(1986)8月26日

⑱ 発 明 者 小 林 真 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 外 山 毅 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 冗長回路を備えた半導体記憶装置において、メモリセルアレイ本体のビットラインに接続されデバイス識別コードが書き込まれたデバイス識別コード記憶素子と、

上記冗長回路のビットラインに接続され上記デバイス識別コードと同じ内容のコードが書き込まれたリペア用デバイス識別コード記憶素子とを備えたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、冗長回路を備えた半導体記憶装置に関し、特にデバイス識別コードを有する半導体記憶装置に関するものである。

(従来の技術)

デバイス識別コードとは半導体記憶装置のメーカー、ピン配置、品種、容量、書き込み電圧(EPROM

ROMの場合)等の情報を示すもので、ユーザ側にもその半導体記憶装置に関する知識が無い場合でも何ら支障なく使用できるように記憶装置に予め書き込まれたコードであり、このコードは例えば次のように利用される。即ちデバイス識別コードを有する半導体記憶装置がEPROMの場合、ROMライタはその書き込みの際にEPROMよりそのデバイス識別コードを読み取って当該ROMの種類に応じた適切な書き込み電圧を所要のピンに誤りなく印加してくれるというものであり、これによりユーザは何ら知識が無い場合でも情報を安定かつ確実にROMに書き込むことができる。

第2図はデバイス識別コードを有する従来のEPROM(Erasable Programmable Read Only Memory)のメモリ構造を示す回路図である。図において、1はデバイス識別コード用のトランジスタ、2はメモリセルトランジスタ2aを有するメモリセルアレイ本体、20はリペア用トランジスタ20aを有する冗長回路、3、4はデバイスコードを格込んであるトランジスタ、メーカーコードを

き込んであるトランジスタ（デバイス識別コード記憶素子）、 $B_1, B_2, B_3, \dots, B_n$  はビットライン、 $W_1, W_2, W_3, \dots, W_n$  はワードライン、 $BS_3, BS_4$  はコラムリベアラインを示す。

なお外部からのアドレス入力により所定のアドレスを選択する機構及び冗長回路のうちメモリセルアレイ本体の不良ビットとリベア用トランジスタとを置換する機構等は図示していない。

次に動作について説明する。第2図において、デバイスコードを読出す場合、ワードラインのうちの $WS$ を選択し、かつビットラインのうちの $B_1$ を選択する事により、デバイスコードのデータを読出すことができる。またメーカーコードを読出す場合、ワードラインのうちの $WS$ を選択し、かつビットラインのうちの $B_n$ を選択する事により、メーカーコードのデータを読出すことができる。ここでもしメモリセルアレイ本体中に不良ビットが存在した場合、冗長機能によって、そのビットラインはコラムリベアラインの $BS_3$ 、もしくは $BS_4$ にリベアされ、該リベア後は最初選択される

はずであったビットラインの代わりにコラムリベアライン $BS_3$ 、又は $BS_4$ が選択される。

〔発明が解決しようとする問題点〕

従来のデバイス識別コードを備えたEPROMは以上の様に構成されているので、もしデバイス識別コードのデータを書き込んであるビットラインに不良が生じた場合、リベアを行うことにより不良救済用のビットラインがアクセスされるので、デバイス識別コードのデータが全く読み出せなくなるという問題がある。

この発明は上記のような問題点を解消するためになされたもので、デバイス識別コードのデータを書き込んであるビットラインに不良が生じた場合、リベアを行ってもデバイス識別コードのデータを読出すことが出来る半導体記憶装置を得る事を目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体記憶装置は、予め2本以上のコラムリベアを備え、それぞれにデバイス識別コードのデータ（デバイスコード、メーカーコード）

を割り当て、デバイスコードのデータが書き込んであるビットラインが不良の場合、デバイスコードを書き込んであるコラムリベアラインにリベアし、メーカーコードのデータが書き込んであるビットラインが不良の場合はメーカーコードを書き込んであるコラムリベアラインにリベアしうる様にしたものである。

〔作用〕

この発明においては、予め2本以上のコラムリベアを備え、それぞれにデバイス識別コードのデータ（デバイスコード、メーカーコード）が割り当てられているから、デバイス識別コードのデータが書き込んであるビットラインが不良になった場合、デバイス識別コードのデータが書き込んであるコラムリベアに置換える事により、即ち、デバイスコードのデータが書き込んであるビットラインが不良の場合はデバイスコードを書き込んであるコラムリベアラインにリベアし、メーカーコードのデータが書き込んであるビットラインが不良の場合はメーカーコードを書き込んであるコラムリベア

ラインにリベアすることにより、デバイス識別コードのデータが有効に働くことができる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図は本発明の一実施例による半導体記憶装置を示し、図において、第2図と同一符号は同一のものを示す。 $S, \theta$  はデバイスコードのリベア用のトランジスタ、メーカーコードのリベア用のトランジスタ（リベア用デバイス識別コード記憶素子）、 $BS_1$  はデバイスコードのデータが書き込んであるコラムリベアライン、 $BS_2$  はメーカーコードのデータを書き込んであるコラムリベアラインである。

第1図において、デバイスコードのデータが書き込んであるビットライン $B_1$ が不良の場合、冗長回路にてそれまでビットライン $B_1$ を選択していたのを、コラムリベアライン $BS_1$ を選択する様にする。トランジスタ $S$ にはトランジスタ $3$ と同じデバイスコードのデータが予め書き込んであるので、正確なデバイスコードのデータが読み出

せる。又、メーカーコードのデータが書き込まれているビットラインB<sub>m</sub>が不良の場合、該ビットラインB<sub>m</sub>を選択する代わりにコラムリベアラインBS<sub>2</sub>を選択すればよい。トランジスタ6にはあらかじめトランジスタ4と同じメーカーコードのデータが書き込んであるので、正確なメーカーコードが読みだせる。

尚、上記実施例ではコラムリベアラインをデバイスコード、メーカーコード各1本づつとしたが、それ以上の本数であっても全く差し支えない。又、上記実施例ではEPROMの場合について説明したが、EPROM、SRAM、DRAM等、全ての半導体記憶装置に適用できる事はいうまでもない。

またデバイス識別コードもメーカーコード及びデバイスコードについてのみ示したが、考うる他のコードであってもよいことは勿論である。

#### (発明の効果)

以上の様に、この発明に係る半導体記憶装置によれば、デバイス識別コードのデータを予め2本

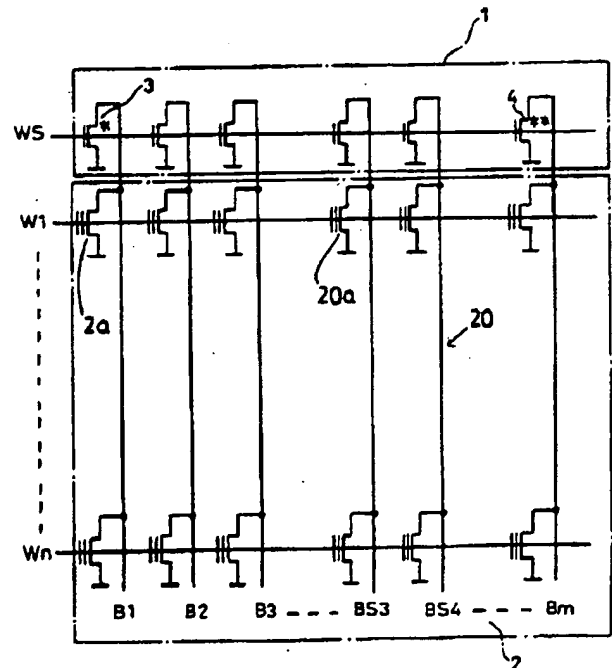
以上のコラムリベアラインにも書き込むように構成したので、デバイス識別コードのデータが書き込んであるビットラインに不良がある場合でもコラムリベアによって読みだせる為、リベアを行ってもデバイス識別コードを有効に働かせる事が出来るという効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるEPROMのメモリ構造を示す回路図、第2図は従来のEPROMのメモリ構造を示す回路図である。

図において、1はデバイス識別コード用のトランジスタ、2はメモリセルアレイ本体、2aはメモリセルトランジスタ、20は冗長回路、20aはリベア用トランジスタ、3、4はデバイスコードのデータが書き込まれているトランジスタ、メーカーコードのデータが書き込まれているトランジスタ(デバイス識別コード記憶素子)、5、6はデバイスコードのリベア用のトランジスタ、メーカーコードのリベア用のトランジスタ(リベア用デバイス識別コード記憶素子)、W<sub>1</sub>、W<sub>s</sub>、W<sub>n</sub>、...

第2図



2a: メモリセルトランジスタ

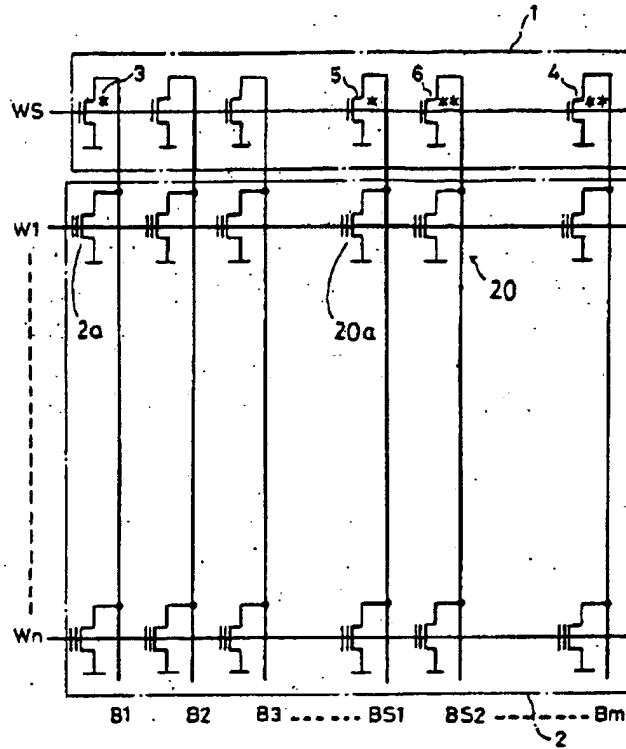
20: 冗長回路

20a: リベア用トランジスタ

W<sub>s</sub>はワードライン、W<sub>s</sub>はデバイス識別コード用ワードライン、B<sub>1</sub>、B<sub>2</sub>、B<sub>3</sub>、...、B<sub>m</sub>はビットライン、BS<sub>1</sub>はデバイスコードのデータが書き込んであるコラムリベアライン、BS<sub>2</sub>はメーカーコードのデータが書き込んであるコラムリベアライン、BS<sub>3</sub>、BS<sub>4</sub>はコラムリベアラインを示す。なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

第 1 図



1: デバイス選択ノード  
用のトランジスタ

2: メモリセルアレイ本体

3: デバイスコードのデータ  
が書込まれている  
トランジスタ

4: メモリコードのデータ  
が書込まれている  
トランジスタ

5: デバイスコードの  
リバア用のトラン  
ジスタ

6: メモリコードの  
リバア用のトラン  
ジスタ

W1...Wn  
:ワードライン

WS: デバイス選択ノ  
ード用のワード  
ライン

B1...Bm  
:ビットライン

BS1, BS2  
: フラムリバアライン